

Année 2015-2016

1<sup>ère</sup> session



TRAVAUX DIRIGÉS  
TECHNOLOGIE DES CIRCUITS NUMÉRIQUES  
EN 113  
CAMILLE LEROUX

Filière : SEE

Année : 2015-2016

Semestre : 7

## 1 Questions de cours

### Question 1.1

Positionnez (en justifiant) les items suivantes dans le tableau (attention, une même item peut se trouver sur différentes cases)

1. Multiplieur décrit en VHDL et implanté sur un FPGA
2. Bloc DSP dans un FPGA Xilinx
3. Amplificateur de puissance
4. Processeur ARM implanté en techno 90nm de ST Microelectronics
5. Processeur ARM implanté dans le FPGA Zynq de Xilinx

	Archi. Programmable	ASIP	Archi. dédiée
Full Custom			
Cellules Standards			
Reconfigurable			

**Question 1.2**

Soit la fonction logique suivante,  $f = a + b.c$ . Dessinez le schéma d'une porte logique CMOS implémentant cette fonction.

**Question 1.3**

Donnez (en expliquant) les différentes composantes de la consommation dynamique dans un circuit CMOS.

**Question 1.4**

Comment évolue la consommation d'énergie d'un circuit numérique en logique CMOS lorsque la fréquence d'horloge augmente ? Expliquez.

**Question 1.5**

Donnez la définition du skew d'horloge dans un circuit numérique.

**Question 1.6**

Citez, en expliquant, trois techniques pour réduire l'impact des interconnexions sur les temps de propagation dans un circuit numérique.

**Question 1.7**

Dessinez le schéma d'une porte logique CMOS implémentant la fonction booléenne XNOR.

**Question 1.8**

En technologie CMOS, quelle est la conséquence d'une réduction de la longueur du canal des transistors MOS sur la résistance du canal, la capacité de grille et sur la consommation de puissance ? Appuyez-vous sur des exemples pour expliquer votre propos.

**Question 1.9**

Donnez, en expliquant, 3 exemples d'architectures de type ASIP.

**Question 1.10**

Dessinez le schéma d'une porte logique CMOS implémentant la fonction booléenne suivante, en utilisant le moins de transistors possible.  $s = (a + b + c)(a + b + \bar{c})$

**Question 1.11**

En technologie CMOS, quelle est la conséquence d'une réduction de la longueur du canal des transistors MOS sur la résistance du canal, la capacité de grille et sur la consommation de puissance ? Appuyez-vous sur des exemples pour expliquer votre propos.

**Question 1.12**

Donnez, en expliquant, 3 exemples d'architectures de type ASIP.

**Question 1.13**

La figure 1 montre la coupe d'un circuit intégré numérique.



### Question 2.4

Pourquoi ce flooplan est très simplifié ?

### Question 2.5

Routez les signaux.

### Question 2.6

Comment évolueraient les performances de notre circuit si nous disposions d'une librairie standard contenant également des inverseurs ?

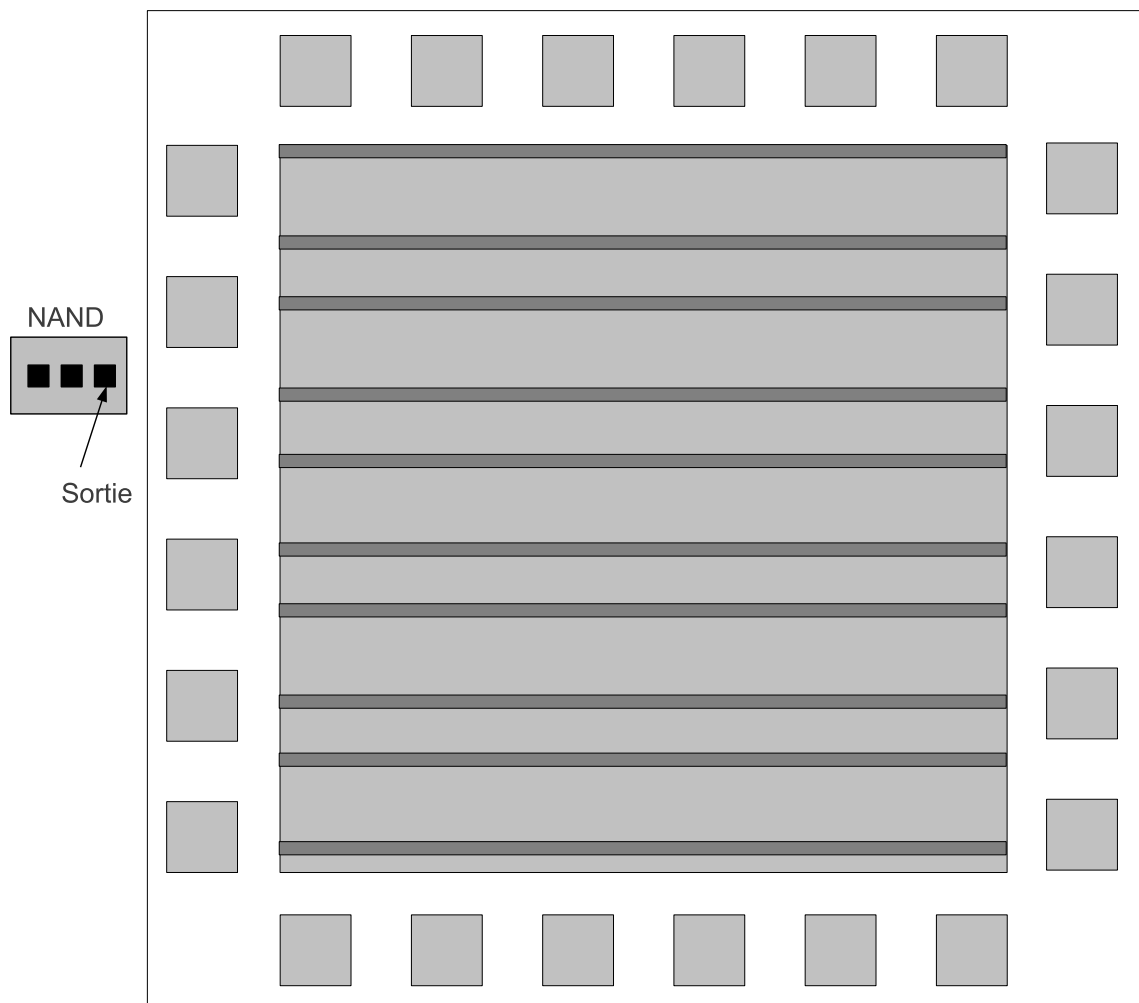


Figure 2: Flooplan simplifié d'un circuit cellules standards

### 3 Temps de propagation à travers de la logique combinatoire

Soit l'inverseur de taille minimale avec des largeurs de transistors  $W_P^{inv} = 2$ ,  $W_N^{inv} = 1$ , une capacité d'entrée  $C_{in}^{inv}$ , une capacité de diffusion  $C_d^{inv}$  et une résistance interne des transistors (à l'état passant)  $R^{inv}$ .

#### Question 3.1

Déterminez les paramètres énoncés ci-dessous d'une porte NOR à 2 entrées pour que celle-ci délivre un courant identique à celui de l'inverseur de taille minimale.

- le rapport de largeur des transistors PMOS :  $W_P^{nor2}/W_P^{inv}$
- le rapport de largeur des transistors NMOS :  $W_N^{nor2}/W_N^{inv}$
- le rapport de résistance interne des transistors (à l'état passant) :  $R^{nor2}/R^{inv}$
- le rapport des capacités de diffusion :  $C_d^{nor2}/C_d^{inv}$
- le rapport des capacités d'entrée :  $C_{in}^{nor2}/C_{in}^{inv}$

#### Question 3.2

Même question pour une porte NOR à 2 entrées délivrant un courant  $K$  fois inférieur à celui de l'inverseur de taille minimale.

#### Question 3.3

Même question pour une porte NOR à  $N$  entrées délivrant un courant  $K$  fois inférieur à celui de l'inverseur de taille minimale.

#### Question 3.4

Soit le circuit numérique de la figure 3. Donnez la forme simplifiée de la fonction logique implémentée.

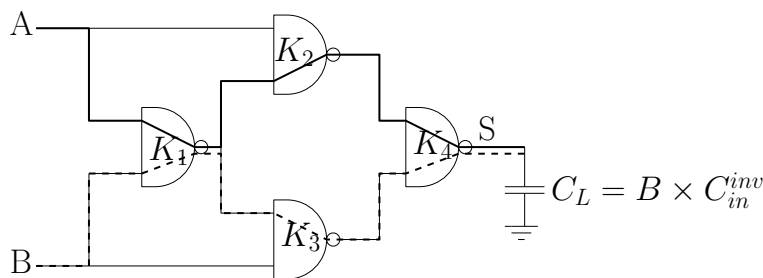


Figure 3: Circuit logique.

### 4 Temps de propagation

Soit le circuit de la Figure 4 et les données temporelles des bascules et des portes XOR du tableau suivant.

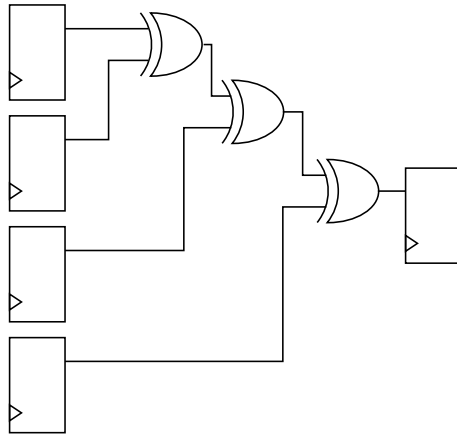


Figure 4: Circuit logique

	Min	Max
$T_{CK-Q}$	50ps	70ps
$T_{setup}$	60ps	60ps
$T_{hold}$	20ps	20ps
$T_{XOR}$	70ps	100ps

#### Question 4.1

En supposant un skew d'horloge nul ( $t_{skew} = 0$ ), déterminez la fréquence de fonctionnement maximale de ce circuit.

#### Question 4.2

Déterminez la valeur maximale du skew d'horloge pour que le temps de maintien soit respecté.

#### Question 4.3

Proposez une modification du circuit (sans ajouter de ressources) pour augmenter sa fréquence maximale de fonctionnement. Déterminez sa fréquence maximale de fonctionnement en supposant un skew d'horloge nul.

#### Question 4.4

On suppose maintenant que le circuit modifié est synchronisé avec une horloge fonctionnant à 1GHz. Quelles sont les valeurs minimales et maximales que peut prendre le skew d'horloge pour assurer un fonctionnement correct du circuit.

#### Question 4.5

On considère de nouveau le circuit de la figure 4. On suppose maintenant que chaque interconnexion a un temps de propagation égale à  $t_w$ . On suppose d'autre part que le skew d'horloge est de 150ps et que le circuit est synchronisé par une horloge fonctionnant à 1GHz. Déterminez les valeurs minimales et maximales de  $t_w$  pour garantir un fonctionnement correct du circuit.

## 5 Temps de propagation, portes NAND

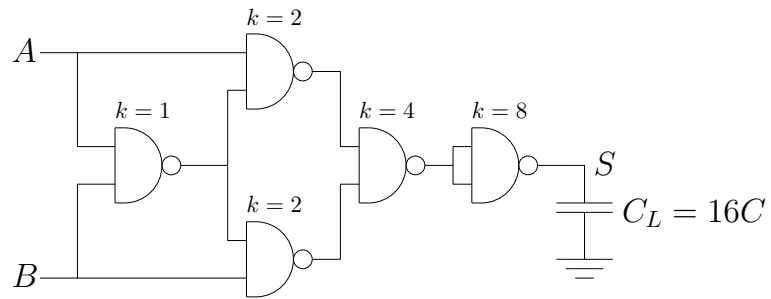


Figure 5: Circuit logique

Soit le circuit de la Figure 5 contenant uniquement les portes NAND à 2 entrées.

### Question 5.1

Dessinez le schéma CMOS d'un porte NAND à 2 entrées.

### Question 5.2

Quelle est la fonction logique implémentée par le circuit de la Figure 5 ?

### Question 5.3

Proposez un circuit qui implémente la même fonction en utilisant uniquement des portes NOR à 2 entrées.

### Question 5.4

On rappelle les paramètres des 3 portes INV, NAND et NOR:

Gate	$W_P/W_{min}$	$W_N/W_{min}$	$R_N = R_P$	$C_{diff}/C$	$C_{in}/C$
$k$ -INV	$2k$	$k$	$R/k$	$k$	$k$
$k$ -NAND-N	$2k$	$Nk$	$R/k$	$kN$	$\frac{2+N}{3}k$
$k$ -NOR-N	$2kN$	$k$	$R/k$	$kN$	$\frac{2N+1}{3}k$

Pour chacun des chemins combinatoire du circuit de la Figure 5, calculez le temps de propagation en fonction de  $R$  et  $C$ . En déduire le chemin critique.

### Question 5.5

Proposez une structure qui implémente la même fonction logique et qui ne contient que 8 transistors MOS.

### Question 5.6

Pour cette nouvelle porte à 8 transistors, calculez les paramètres  $W_P/W_{min}$ ,  $W_N/W_{min}$ ,  $C_{diff}/C$  et  $C_{in}/C$ . On se limitera au cas d'une porte à 2 entrées.

### Question 5.7

En supposant que cette porte charge une porte de capacité d'entrée  $C_L = 16C$ . Déterminez quelle doit être la valeur minimale de  $k$  pour que cette porte à 8 transistors soit plus rapide que le circuit de la Figure 5.

## 6 Chemin critique

Soit le circuit de la Figure 6 ayant les temps de propagation suivant:

	Min	Max
$T_{CK}$	10	10
$T_{CK-Q}$	1	2
$T_{logic}$	3	5
$T_{setup}$	1	2



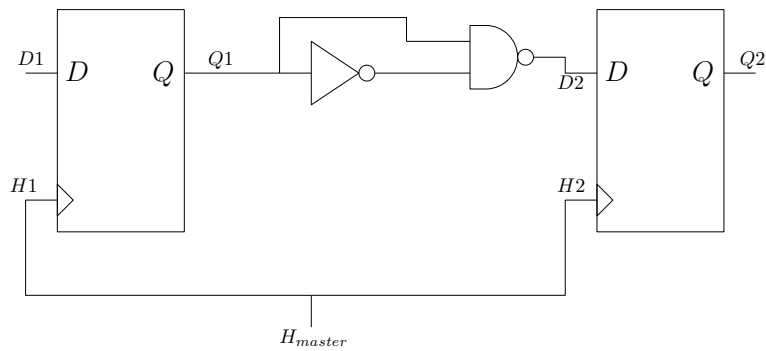


Figure 6: Circuit logique

**Question 6.1**

Sachant que l'on souhaite garantir un skew d'horloge inférieur à 1 ns, dessinez le chronogramme (à l'échelle) permettant de voir si le  $T_{setup}$  est respecté.

**Question 6.2**

En supposant que toutes les bascules doivent respecter un temps de maintien de 1 ns, dessinez le chronogramme permettant de vérifier si celui-ci est respecté.

**Question 6.3**

En s'appuyant sur les chronogrammes précédents, donnez la valeur maximum (en valeur absolue) que peut prendre le jitter d'horloge.

**Question 6.4**

Proposez 2 solutions pour augmenter d'avantage la fréquence du circuit.